

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149376

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

G06F 9/445

(21)Application number : 09-330983

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 14.11.1997

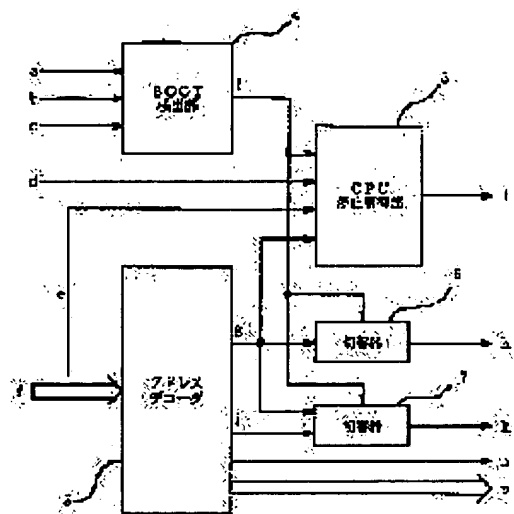
(72)Inventor : TAKASE YASUHIRO

(54) BOOT LOADER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a more flexible software development environment by realizing the same function with a circuit mounting an Initial Program Loader ROM in circuit constitution of a smaller scale.

SOLUTION: A BOOT loader circuit is provided with a BOOT detection part 4 for detecting whether a system becomes a BOOT mode or not, an address decoder 5 for generating a selection signal for each device, switch parts 6 and 7 for selecting ROM and the external input interface and a CPU stop control part 8 for instructing the stop of CPU various conditions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-149376

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁹

G 0 6 F 9/445

識別記号

F I

G 0 6 F 9/06

4 2 0 G

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平9-330983

(22) 出願日 平成9年(1997)11月14日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 高瀬 康弘

神奈川県高座郡寒川町小谷2丁目1番1号

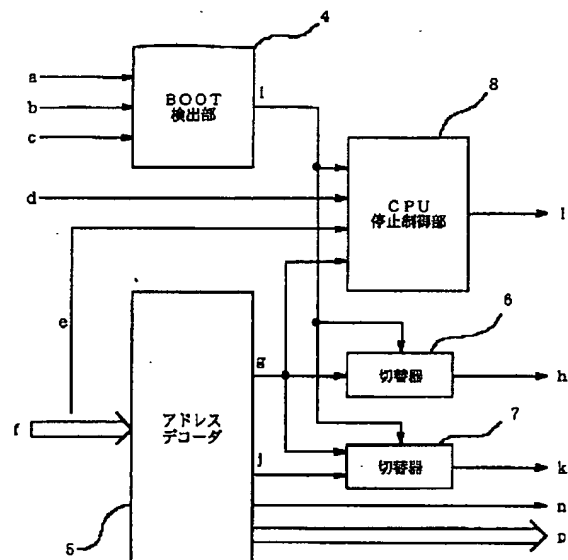
東洋通信機株式会社内

(54) 【発明の名称】 BOOTローダー回路

(57) 【要約】

【課題】 電子機器は、通常CPUと、実装後に書き込み可能なROMと、外部入力インターフェースを備えた制御装置を搭載しており、さらに前記ROMとは別にIPL-ROMを搭載している。別のROMが必要な制御装置が有する欠点を除去するためになされたものであって、同等の機能をより小規模の回路構成で実現し、より柔軟な開発環境を提供することを課題とする。

【解決手段】 本発明によるBOOTローダー回路は、BOOTモードに入るかどうかを検出するBOOT検出部4と、各デバイスの選択信号を作るアドレスデコーダ5と、ROMや外部入力インターフェースを選択する切替部6、7と、各種条件でCPUの停止を指示するCPU停止制御部8とにより構成する。



【特許請求の範囲】

【請求項1】CPUと、実装後書き込み可能な不揮発性メモリ（以下ROMと称する）と、CPUの作業用RAMと、外部通信インターフェース手段を持つ制御装置において、プログラムが記憶されていない状態のROMを実装した場合又はプログラム更新のために旧プログラムに上書きする必要がある場合に、ROMの内容に依存せずに外部通信インターフェース手段を通して直接CPUに命令を与えて動作させ前記制御装置がプログラムをもってなくてもROMに書き込むことができるように構成したことを特徴とするBOOTローダー回路。

【請求項2】CPUがROMから命令を読み出すことを検出した後にCPUが応答の遅いメモリをアクセスする時のWAIT時間を使用して、外部通信インターフェース手段を介して得たデータを命令として実行させることを特徴とする請求項1記載のBOOTローダー回路。

【請求項3】CPUがROMから命令を読み出す際CPUの動作クロックを停止させ、外部通信インターフェース手段に入力があった時点でクロックを再動作させてCPUにROMのデータの代わりに外部通信インターフェースで得たデータを命令として実行させることを特徴とする請求項1記載のBOOTローダー回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はBOOTローダー回路に関し、特に外部通信インターフェース手段を持つ制御装置において、そのためのプログラムを保持することなくROMの書き込みを可能にしたBOOTローダー回路に関する。

【0002】

【従来の技術】例えば携帯電話等、非常に小型な電子機器においては、より小型化、軽量化にするための構成、方法が思案されている。上記電子機器には、通常CPUと、フラッシュROM等の実装後に書き込み可能なROMと、外部入力インターフェースを備えた制御装置を搭載しており、この制御装置にはさらに前記ROMとは別にIPL-ROMを搭載している。IPL-ROMとはインシヤル・プログラム・ローダーROMのことであり、前記ROMにプログラムが全く記憶されていない場合、又はプログラムを新しいバージョンに更新する場合に、CPUを動作させるために必要なプログラムを記憶しておくROMのことである。前記IPL-ROMに記憶すべきプログラムを他のプログラムを保持するためのROMに記憶させた場合は、ROMの書き込み作業中は同ROMに書かれたプログラムが実行できなくなるため、このプログラムをRAMに一旦格納してRAM上で書き換えプログラムを実行する必要がある、もし書き換えの途中で動作が中断するなどの不慮の事故が起きた場合に、復旧できなくなる可能性があるため、このような不具合を解消するためにもIPL-ROMが使用されて

いる。図4は、従来のIPL-ROMを使用する回路構成の代表例を示すブロック図である。同図において1はBOOT検出又は切替スイッチ部であって、IPL-ROMで起動するか、前記ROMで起動するかを選択するための機構であり、手動の切替スイッチや、制御信号を用いた自動操作による切り替え等を行い、結果を信号bでアドレスデコーダ2に伝達する。アドレスデコーダ2は、CPUの制御信号群a及び前記信号bによりアドレスをデコードしてIPL-ROM選択信号c、実装後書き込み可能なROMの選択信号d及びその他の選択信号eを出力し、3は前記IPL-ROMである。

【0003】

【発明が解決しようとする課題】しかしながら、前記制御装置では、IPL-ROMを必要とするから、部品点数が増加する。又、ROM内蔵の1チップCPUの場合には普段ほとんど使われない機能のために高速アクセスが可能な内臓ROMを占有するという欠点があった。本発明は上述したように従来のBOOTローダー回路の欠点を除去するためになされたものであって、同等の機能をより小規模の回路構成で実現し、より柔軟な開発環境を備えたBOOTローダー回路を提供することを目的とする。

【0004】

【課題を解決するための手段】上述の課題を達成するため本発明は、CPUと、実装後書き込み可能なROMと、CPUの作業用RAMと、外部通信インターフェース手段を持つ制御装置において、プログラムが記憶されていない状態のROMを実装した場合、又は、プログラム更新のために旧プログラムに上書きする必要がある場合に、ROMの内容に依存せずに外部通信インターフェース手段を通して直接CPUに命令を与えて動作させ前記制御装置がプログラムを持ってなくてもROMに書き込むことができるように構成したことを特徴とする。又、前記制御装置は、CPUがROMから命令を読み出すことを検出した後にCPUが応答の遅いメモリをアクセスする時のWAIT時間機能を使用して、外部通信インターフェース手段を介して得たデータを命令として実行させることを特徴とする。又、前記制御装置は、CPUがROMから命令を読み出す際CPUの動作クロックを停止させ、外部通信インターフェース手段に入力があった時点で、クロックを再動作させてCPUにROMのデータの代りに外部通信インターフェースで得たデータを命令として実行させることを特徴とする。

【0005】

【発明の実施の形態】以下、本発明を図面に示した実施例に基づいて詳細に説明する。図1は本発明によるBOOTローダー回路の概略構成例を示す図である。図1に示す回路は、当該装置がBOOTモードとなることを検出する機能をもつBOOT検出部4と、その結果を受けてCPUの動作を停止するCPU停止制御部8と、各デ

バイスの選択信号を生成するアドレスデコーダ5と、BOOTモードの選択条件を設定する切替器6及び切替器7とを備えている。この構成において動作を説明する。まず、当該BOOTローダー回路を搭載した装置において、装置がBOOTモード状態に移行するか否かは、BOOT検出部4がBOOTモードに入るかどうかの検出を行い、制御信号aのBOOTモード移行要求をリセット信号cにより保持することで決定する。選択信号bは、BOOTモードの解除要求としてBOOTモードから通常モードに戻るのに使用する。制御信号fは、CPUのバス接続による信号を示し、制御信号eのCPUリード信号を含み、アドレスデコーダ5によって各デバイスの選択信号を作る。選択信号gは、ROMの内部選択信号を示し、選択信号gと制御信号eとによってROMのリードが検出できる。hは、ROMの外部選択信号であり、切替部6によって制御信号iのBOOTモード信号が通常モードの時、選択信号gと同じようにBOOTモードでは非選択になる。jは、外部入力インターフェースの内部選択信号を示し、切替部7によって制御信号iが通常モードの時、外部入力インターフェースの外部選択信号kは、選択信号jと同じようにBOOTモードの時選択信号gと同じになって前記ROMの代りに選択される。CPU停止制御部8は、制御信号iがBOOTモードにおいて、選択信号gはROM選択を、又、制御信号eはリード中を、更に制御信号dの外部入力インターフェースの入力完了信号は未完了の場合のみ制御信号lでCPU停止を指示する。この時制御信号dが完了信号となり次CPUは動作を再開して前記外部入力インターフェースのデータを読み込み実行する。選択信号kはRAMの選択信号、選択信号lはその他の選択信号とし、制御装置において必要なものを作る。制御信号aによりBOOTモードにした後、外部入力インターフェースからCPUがROMから読み込むのと同じ順番によりデータを入力すればCPUに期待通りの動作をさせられる。例えば、最初にCPUがROM（実際は外部入力インターフェース）からRAMにデータ転送後、RAMにジャンプしてRAMのプログラム（ROM書き込みプログラム等）を実行するようなプログラムを送れば、RAMの容量内で実行可能なプログラムを実行することができる。又、RAMの容量に余裕がない場合には、実行速度は劣るが最後まで外部通信インターフェースを使ってROMの書き込みをすることも可能である。

【0006】図2に本発明に係るBOOTローダー回路の動作フローチャートの1例を示す。制御装置のリセットが解除されCPUが起動する前にスイッチ又は決められた制御信号によって通常モードか、BOOTモードに設定されるかを定める。通常モードとは、CPUが普通にROMを読み出して動作するモードである。BOOTモードとは、CPUがROMを読み出そうとした時に限って以下に説明する操作を施し、CPUのその他の動

作に関しては通常モードと同じ動作をするモードである。BOOTモードで、且つCPUがROMを読み出そうとした事を検出した場合に、本発明はCPUがROMの読み出しを完了する前にCPUを止めて外部通信インターフェースにデータが入力されるまで待つ。更に、入力されたデータをROMのデータの代りにCPUのデータバスに出力した後、CPUの動作を再開させる。そこで、CPUに外部通信インターフェースのデータを命令として実行させる事によって、IPL-ROM無しでCPUを動作させることを目的としている。そして、これを応用することによりROMの書き込みが可能となる。

【0007】外部通信インターフェースには大別してパラレルインターフェースとシリアルインターフェースとがあるが、このインターフェース以降の動作は同様であり、以下の例ではシリアルインターフェースにより説明する。図3は本発明を内蔵した制御装置の外部通信インターフェースをRS232Cのシリアルインターフェースによりパソコンと接続してROMにプログラムを書き込む時の実施例を示す概略構成図である。同図は、制御装置のCPUを動作させるプログラムを送るパソコン9と、本発明を利用した制御装置10とで構成し、その他装置に必要な回路群11は本発明の説明とは無関係な部分をまとめたものである。パソコン9と制御装置10はRS232C規格のシリアルインターフェースmにより接続し、レベル変換部12においてRS232Cの電圧レベルを制御装置の電圧レベルに変換し、シリアル受信インターフェース13において入力データaをパラレルデータに変換してBOOTモードの時は前記パラレルデータを制御信号fのCPUバスの中のデータバスに出力する。BOOTローダー回路14は本発明によるものであり、信号線を表す記号は図1と対応させている。この例ではシリアル入力データaをシステムリセット回路15によるリセット信号cのタイミングで保持して、入力データが0の時BOOTモード、1の時通常モードになるものとする。kはシリアルインターフェースの選択信号、dはシリアルインターフェースの受信フラグ、lはCPU16の停止信号、nはRAM17の選択信号、hはROM18の選択信号、pは制御装置の選択信号である。又、この例ではCPUリード信号eとRAM選択信号kによりBOOTモード解除信号bを作っており、CPU16がRAM17を読み込もうとした時にBOOTモードを解除するようになっているが、他の条件で解除信号bを作ってもよい。

【0008】CPU16の停止信号mをCPU16のWAIT信号にした例を請求項2に示し、停止可能なCPUクロックにした例を請求項3に示す。ROM18を書き込むためには、パソコン9からブレイク・キャラクタの送信などの手段により信号aを0にした状態において、制御装置10の電源を入れるか、又はシステムリセット回路15においてリセットすることで制御装置10

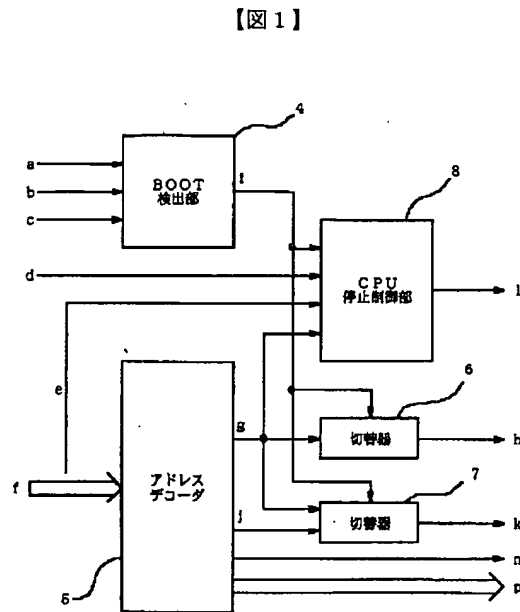
は前述のようにBOOTモードになる。そこで、CPU 16がROM18からデータを読み込むのと同じ順序でパソコン9から制御信号mを通してIPLプログラムをRAM17に書き込むプログラムを送り、最後にRAM17に書いたプログラムの実行アドレスにジャンプする命令を送る。更に、CPU16はRAM17上のプログラムをリードして実行しようとするので、この時点においてRAMリードが発生しBOOTモードが解除されてRAM17のプログラムが動き出す。後はRAM17上のプログラムでROM18にプログラムを書き込むことができる。

【0009】

【発明の効果】本発明は以上説明した如く構成するものであるから、回路規模の縮小化やソフトウェア開発手段の多様化を実現する上で著しい効果を発揮する。

【図面の簡単な説明】

【図1】本発明によるBOOTローダー回路の1例を示す概略構成図



【図2】本発明による動作フローチャートの1例を示す構成図

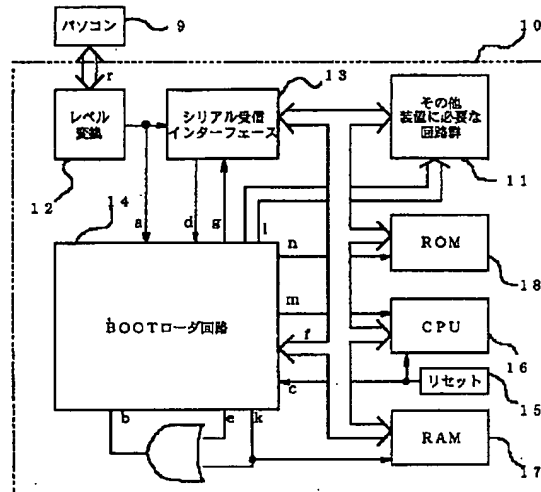
【図3】本発明によるBOOTローダー回路をシリアルインターフェースに適用した場合の1実施例を示す概略構成図

【図4】従来のIPL-ROMを内蔵する回路例を示す構成図

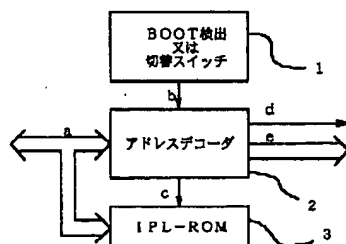
【符号の説明】

1・・・BOOT検出又は切替スイッチ部、 2・・・アドレスデコーダ、 3・・・IPL-ROM、 4・・・BOOT検出部、 5・・・アドレスデコーダ、 6・・・切替部、 7・・・切替部、 8・・・CPU停止制御部、 9・・・パソコン、 10・・・制御装置、 11・・・その他装置に必要な回路群、 12・・・レベル変換部、 13・・・シリアル受信インターフェース、 14・・・BOOTローダー回路、 15・・・システムリセット回路、 16・・・CPU、 17・・・RAM、 18・・・ROM

【図3】



【図4】



BEST AVAILABLE COPY

【図2】

